

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-343415

(43)公開日 平成5年(1993)12月24日

(51)Int.Cl.<sup>5</sup>

H 0 1 L 21/331

29/73

識別記号

庁内整理番号

F I

技術表示箇所

7377-4M

H 0 1 L 29/ 72

審査請求 未請求 請求項の数13(全 7 頁)

(21)出願番号 特願平5-12982

(22)出願日 平成5年(1993)1月29日

(31)優先権主張番号 特願平4-42702

(32)優先日 平4(1992)2月28日

(33)優先権主張国 日本(JP)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 松本 直哉

東京都港区芝五丁目7番1号日本電気株式会社内

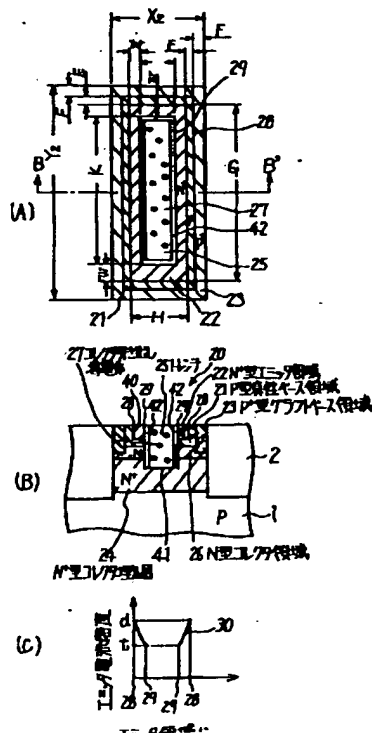
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 バイポーラトランジスタ

(57)【要約】

【目的】トランジスタの占有面積を減少させ、かつエミッターベース間の寄生容量を減少させる。

【構成】エミッタ領域の周辺より離間したエミッタ領域の部分を貫通しかつその下の真性ベースおよびコレクタ領域の部分を貫通してコレクタ埋込領域に達するトレンチを形成し、ここにコレクタ埋込領域に接続するコレクタ引き出し導電体を充填させる。



## 【特許請求の範囲】

【請求項1】 主面を有する半導体基板と、前記半導体基板に形成された第1導電型のコレクタ領域と、前記コレクタ領域の底部に接して前記半導体基板の内部に形成され、前記コレクタ領域より高不純物濃度を有する第1導電型のコレクタ埋込領域と、前記主面と前記コレクタ領域間に形成された第2導電型の真性ベース領域と、前記真性ベース領域の周辺に接して形成され、前記真性ベース領域より高不純物濃度を有する第2導電型のグラフトベース領域と、前記主面から前記真性ベース領域内に形成された第1導電型のエミッタ領域と、前記主面から前記エミッタ領域の周辺より離間した前記エミッタ領域の部分を貫通しかつその下の前記真性ベースおよびコレクタ領域の部分を貫通して前記コレクタ埋込領域に達するトレンチと、前記トレンチの側壁上に形成された絶縁膜と、前記絶縁膜により前記真性ベース領域および前記エミッタ領域と電気的に絶縁されて前記トレンチを充填し、前記コレクタ埋込領域に接続するコレクタ引き出し導電体とを有することを特徴とするバイポーラトランジスタ。

【請求項2】 前記グラフトベース領域にベース引き出し層が接続され、前記エミッタ領域にエミッタ引き出し層が接続されていることを特徴とする請求項1に記載のバイポーラトランジスタ。

【請求項3】 前記ベース引き出し層と前記エミッタ引き出し層との間には第1の層間絶縁膜が形成され、前記エミッタ引き出し層上に第2の層間絶縁膜が形成されていることを特徴とする請求項2に記載のバイポーラトランジスタ。

【請求項4】 前記トレンチが前記エミッタ引き出し層および前記第2の層間絶縁膜を貫通してそのまま前記主面の上方に突出し、前記絶縁膜により前記エミッタ引き出し層と電気的に絶縁されて前記コレクタ引き出し導電体が前記トレンチを充填していることを特徴とする請求項3に記載のバイポーラトランジスタ。

【請求項5】 前記バイポーラトランジスタは前記主面から前記半導体基板に埋設するフィールド絶縁膜により囲まれていることを特徴とする請求項1に記載のバイポーラトランジスタ。

【請求項6】 前記半導体基板は第2導電型の半導体基体と前記半導体基体上にエピタキシャル成長された半導体層とを有して構成され、第1導電型の前記コレクタ領域は前記半導体層内に位置し、高不純物濃度の第1導電型の前記コレクタ埋込領域は前記半導体基体と前記半導体層との間に形成され、前記半導体層の表面が前記半導体基板の前記主面であることを特徴とする請求項1に記載のバイポーラトランジスタ。

【請求項7】 前記半導体基体は単結晶シリコン基体であり、前記半導体層は前記半導体基体上にエピタキシャ

請求項6に記載のバイポーラトランジスタ。

【請求項8】 前記第1導電型はN型であり、前記第2導電型はP型であることを特徴とする請求項1に記載のバイポーラトランジスタ。

【請求項9】 前記エミッタ領域の中央部分を貫通して前記コレクタ埋込領域に達する前記トレンチを複数形成し、複数の前記トレンチのそれぞれの内に前記絶縁膜および前記コレクタ引き出し導電体を形成したことを特徴とする請求項1に記載のバイポーラトランジスタ。

10 【請求項10】 前記コレクタ引き出し導電体は高融点金属により構成されていることを特徴とする請求項1に記載のバイポーラトランジスタ。

【請求項11】 前記高融点金属はタングステンであることを特徴とする請求項10に記載のバイポーラトランジスタ。

【請求項12】 前記コレクタ引き出し導電体は第1導電型の多結晶シリコンにより構成されていることを特徴とする請求項1に記載のバイポーラトランジスタ。

20 【請求項13】 前記半導体基板は第2導電型の半導体基体と前記半導体基体上にエピタキシャル成長された半導体層とを有して構成され、第1導電型の前記コレクタ領域は前記半導体層内に位置し、前記主面より前記半導体基体に達するフィールド絶縁膜により前記コレクタ領域および前記グラフトベース領域が囲まれていることを特徴とする請求項1に記載のバイポーラトランジスタ。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明はバイポーラトランジスタに係わり、特に集積度を向上しかつエミッターベース間の寄生容量を低減したバイポーラトランジスタに関する。

## 【0002】

【従来の技術】 バイポーラ集積回路の集積度を向上させ高速化を実現するために種々のバイポーラトランジスタが提案されている。そのなかで、1990年10月16日発行の米国特許第4,963,957号にはエミッタ領域とグラフトベース領域とを自己整合で形成し、かつN<sup>+</sup>型コレクタ埋込層に直接コレクタ引き出し導電体を接続する技術が開示されている。すなわちN<sup>+</sup>型コレクタ埋込層にN<sup>+</sup>型拡散層を接続してコレクタを引き出していた慣習的なバイポーラトランジスタから脱却して、素子分離に用いていたトレンチ構造をコレクタ引き出し部に採用し、N<sup>+</sup>型コレクタ埋込層の外周側面にトレンチ内の低抵抗の導電体を基板内部で接続したバイポーラトランジスタが同米国特許に提案されている。これによりコレクタ抵抗が低減されそれだけバイポーラトランジスタの動作は高速化される。

【0003】 図4(A)および図4(B)を参照して従来技術のバイポーラトランジスタを説明する。P型シリ

コレクタ領域16が形成され、主面40とN型コレクタ領域16との間にP型真性ベース領域11が形成されている。P型真性ベース領域11の全外周に接してP<sup>+</sup>型グラフトベース領域13がリング状に形成され、またP型真性ベース領域11内にN<sup>+</sup>型エミッタ領域12が形成されている。そしてP<sup>+</sup>型グラフトベース領域13を囲んでN<sup>+</sup>型コレクタ埋込層14に達するトレンチ15がリング状に形成され、その内壁上に絶縁膜32が形成され、絶縁膜32を選択的に除去して得られたコンタクト部31においてN<sup>+</sup>型コレクタ埋込層14に接続する導電体17がコレクタ引き出し導電体としてトレンチ15を充填している。

【0004】次に図4(A)を参照して上記バイポーラトランジスタにおける各寸法を例示する。まず $W=1.0\mu\text{m}$ 、 $L=5\mu\text{m}$ とするとエミッタ領域12の面積は $W \times L=5.0\mu\text{m}^2$ となる。そしてその周囲を幅 $E=0.2\mu\text{m}$ のP型真性ベース領域11の部分を通して、幅 $F=0.3\mu\text{m}$ のP<sup>+</sup>型グラフトベース領域13が囲み、さらにその周囲を幅 $T=1.0\mu\text{m}$ のトレンチ15が囲んでいる。

【0005】したがってフィールド酸化膜等の素子分離領域2より区画された1個のバイポーラトランジスタ形成領域10の面積 $X_1 \times Y_1$ は、 $X_1=W+2 \times (E+F+T)$ から $4.0\mu\text{m}$ 、 $Y_1=L+2 \times (E+F+T)$ から $8.0\mu\text{m}$ であるから $X_1 \times Y_1=32.0\mu\text{m}^2$ となる。またグラフトベース領域13に対向しているエミッタ領域12の外周18の長さは $2 \times (L+W)$ から $12\mu\text{m}$ となる。

【0006】

【発明が解決しようとする課題】しかしながら従来は、エミッタ領域の電流分布に着目してエミッタ領域とコレクタ引き出し部との関係を言及することはなされていなかったため、エミッターベース間の寄生容量を低減してさらに高速動作を実現することや一段と集積度を向上することに限界を生じていた。

【0007】すなわち図4(C)を参照して説明する。同図にエミッタ領域12における各位置とエミッタ電流密度との関係を曲線30で示す。トランジスタの高周波特性等を良くするためにP型真性ベース領域11を浅く形成すると、その層抵抗は非常に大きくなる。このためにエミッターベース電位差が大きいP<sup>+</sup>型グラフトベース領域13近傍のエミッタ領域12の部分すなわちエミッタ領域12の周辺部18に電流が集中してそこにおけるエミッタ電流密度 $d$ が最も大きくなり(エミッタクラウド効果)、グラフトベース領域13から一番離間しているエミッタ領域12の部分である中央部19、すなわち図4では周辺部18から $0.5\mu\text{m}$ 離間している中央部19ではそこにおけるエミッターベース電位差がP型真性ベース領域の層抵抗による電圧降下により小さくな

周辺部18から $0.3\mu\text{m}$ 離間している中間部では最大電流密度 $d$ と最小電流密度 $s$ との間の電流密度 $t$ となっている。

【0008】このエミッタ電流密度の分布は周辺部18から中央部19に向って指数関数で減少するから中央部およびその近傍はほとんど不要であるばかりでなく、その存在によるエミッターベース接合寄生容量によりバイポーラトランジスタの高速動作を妨げている。

【0009】

10 【課題を解決するための手段】本発明の特徴は、主面を有する半導体基板と、前記半導体基板に形成された第1導電型のコレクタ領域と、前記コレクタ領域の底部に接して前記半導体基板の内部に形成され、前記コレクタ領域より高不純物濃度を有する第1導電型のコレクタ埋込領域と、前記主面と前記コレクタ領域間に形成された第2導電型の真性ベース領域と、前記真性ベース領域の周辺に接して形成され、前記真性ベース領域より高不純物濃度を有する第2導電型のグラフトベース領域と、前記主面から前記真性ベース領域内に形成された第1導電型のエミッタ領域と、前記主面から前記エミッタ領域の周辺より離間した前記エミッタ領域の部分を貫通しかつその下の前記真性ベース領域の部分および前記コレクタ領域の部分を通して前記コレクタ埋込領域に達するトレンチと、前記トレンチの側壁上に形成された絶縁膜と、前記絶縁膜により前記真性ベース領域および前記エミッタ領域と電氣的に絶縁して前記トレンチを充填し、前記コレクタ埋込領域に接続するコレクタ引き出し導電体とを有するバイポーラトランジスタにある。

【0010】

30 【実施例】図1(A)および図1(B)を参照して本発明の一実施例を、上記図4の従来技術と比較して説明する。尚、図4と同様に図1においても、煩雑さを避けるために基板上方の電極配線構造は図示を省略している。

【0011】P型シリコン基体1上にN<sup>+</sup>型コレクタ埋込層24を介してN型コレクタ領域26が形成され、主面40とN型コレクタ領域26との間にP型真性ベース領域21が形成されている。またP型真性ベース領域21内にN<sup>+</sup>型エミッタ領域22が形成され、またP<sup>+</sup>型グラフトベース領域23がP型真性ベース領域21に全内周を接しかつフィールド酸化膜2に全外周を接してリング状に形成されている。

40 【0012】そして本実施例では、主面40からエミッタ領域22の周辺部28から $0.3\mu\text{m}$ 離間したエミッタ領域22の部分を通してかつその下の真性ベース領域21の部分およびコレクタ領域26の部分を通してコレクタ埋込領域24に達するトレンチ25が形成されている。これによりエミッタ領域22は $0.3\mu\text{m}$ の幅( $w$ )でトレンチ25をリング状に囲む形状となり、その外周部28は真性ベース領域21を介してP<sup>+</sup>型グラ

ンチ25に接しトレンチ25の側壁の一部を構成している。さらにトレンチ25の全側壁を絶縁膜42で被覆し、絶縁膜42により真性ベース領域21およびエミッタ領域22と電氣的に絶縁されてトレンチ25を充填し、コレクタ埋込領域24にトレンチ25の底部におけるコンタクト部41で接続したコレクタ引き出し導電体27を形成されている。

【0013】次に図1(A)を参照して上記実施例のバイポーラトランジスタにおける各寸法を例示する。

【0014】まずトレンチ25の寸法は $T=1.0\mu\text{m}$ 、 $K=4.4\mu\text{m}$ であり、これを幅 $w=0.3\mu\text{m}$ でリング状で囲むエミッタ領域22の外形状は $H=1.6\mu\text{m}$ 、 $G=5.0\mu\text{m}$ となり、エミッタ領域22の面積は $(H \times G - T \times K)$ から $3.6\mu\text{m}^2$ となる。

【0015】また図4と同様に、エミッタ領域22の周囲を幅 $E=0.2\mu\text{m}$ のP型真性ベース領域21の部分を介して、幅 $F=0.3\mu\text{m}$ のP<sup>+</sup>型グラフトベース領域23が囲んでおり、グラフトベース領域23の外周がトランジスタ形成領域20の外周となるから、フィールド酸化膜等の素子分離領域2より区画された1個のバイポーラトランジスタ形成領域20の面積 $X_2 \times Y_2$ は、 $X_2 = H + 2 \times (E + F)$ が $2.6\mu\text{m}$ 、 $Y_2 = G + 2 \times (E + F)$ が $6.0\mu\text{m}$ であるから、 $X_2 \times Y_2 = 15.6\mu\text{m}^2$ となる。

【0016】そしてグラフトベース領域23に対向しているエミッタ領域22の外周28の長さは $2 \times (G + H)$ から $13.2\mu\text{m}$ となる。

【0017】このような本発明の実施例のバイポーラトランジスタを図4の従来技術のバイポーラトランジスタと比較すると、トランジスタの占有面積が $15.6/32.0=0.49=49\%$ に減少するから高集積度のバイポーラICが得られ、エミッタ領域の面積が $3.6/5.0=0.72=72\%$ に減少するからエミッターベース間の寄生容量も72%減少しそれだけ高速動作を可能にする。

【0018】一方エミッタ領域の面積が72%に減少するが、グラフトベース領域23に対向するエミッタ領域の外周の長さは $13.2/12.0$ から10%増加しかつこれは、図1(C)の電流密度分布30に示すように、エミッタクラウド効果によるエミッタ電流密度最大dを含む大きい電流密度(d-t)の箇所のみ増加であるから、同じ印加電圧において図4と同等以上のエミッタ電流が得られる。

【0019】種々のバイポーラトランジスタにおいて、エミッタクラウド効果による電流密度の大きい箇所を利用することを考慮すると、エミッタの外周28と内周29との間隔幅wは $0.2\mu\text{m}$ 以上であることが好ましい。一方、上限はエミッタクラウド効果、トランジスタの占有面積や電流容量等を総合的に考慮して決定される

ンチ型コレクタ引き出し構造を採用することにより上記効果を得ることができる。

【0020】次に図2(A)乃至図2(C)を参照して本発明の実施例をその製造方法により説明する。

【0021】まずP型単結晶シリコン基体1上にエピタキシャル法でN型の単結晶シリコン層を形成し、両者間に選択的に設けられているN<sup>+</sup>型コレクタ埋込層24とともに、シリコン層の表面を主面40とするシリコン基板を構成する。次に主面40からP型シリコン基体1に達するフィールドシリコン酸化膜2を選択熱酸化法により形成してトランジスタ形成領域20を区画する。次にP型ポリシリコン膜33および第1の層間絶縁層としてのシリコン酸化膜34を順次積層し、リソグラフィによりこれら膜を選択的に除去して開口L<sub>1</sub>を形成してトランジスタ形成領域20のシリコン層を露出させ、ベース引き出し層となるP型ポリシリコン膜33およびシリコン酸化膜34をフィールドシリコン酸化膜2上からトランジスタ形成領域のシリコン層上に一部突出させる。次にボロン(硼素)をイオン注入したのち、 $900-1000^\circ\text{C}$ でアニールして不純物濃度が $2 \times 10^{18}/\text{cm}^3$ のP型真性ベース領域21を形成し、P型真性ベース領域21とN<sup>+</sup>型コレクタ埋込層24との間のN型シリコン層がN型コレクタ領域26となる。また上記アニールによりP型ポリシリコン膜33の突出部からボロンがシリコン層に拡散されて自己整合的に不純物濃度が $1 \times 10^{20}/\text{cm}^3$ 以上のP<sup>+</sup>型グラフトベース領域23が形成される。次に全面にシリコン酸化膜を堆積させて異方性のドライエッチングによりエッチバックして、P型ポリシリコン膜33およびシリコン酸化膜34の側面上に側壁(サイドウォール)34'を形成する。次にN型ポリシリコン膜35を堆積させた後、熱処理によりN型ポリシリコン膜35内のリン、硼素等のN型不純物を拡散させて、P<sup>+</sup>型グラフトベース領域23から離間したP型真性ベース領域21の部分に、側壁34'により自己整合的に不純物濃度が $1 \times 10^{20}/\text{cm}^3$ のN<sup>+</sup>型エミッタ領域22を形成する。次にN型ポリシリコン膜35を選択的にエッチングしてエミッタ引き出し層35を形状形成する。次に第2の層間絶縁層としてのPSG膜36を堆積した後、上面を平坦化してそこにレジスト37を塗布しパターニングして開口L<sub>2</sub>を形成する。以上までの工程で図2(A)の状態となる。

【0022】しかる後、図2(B)に示すように、レジスト37をマスクとして異方性のドライエッチングを行ない、PSG膜36、N型ポリシリコン膜35、N<sup>+</sup>型エミッタ領域22、P型真性ベース領域21およびN型コレクタ領域26を順次貫通してN<sup>+</sup>型コレクタ埋込層24に達するトレンチ25を形成する。次に膜厚が $50-100\text{nm}$ のシリコン窒化膜を堆積し異方性のドライエッチングを行ないトレンチ25の側壁のみにシリコン

リコン窒化膜は除去されてN<sup>+</sup>型コレクタ埋込層24のコンタクト部41が露出する。

【0023】しかる後、図2(C)に示すように、PSG膜36およびシリコン酸化膜34にベース引き出し層となるP型ポリシリコン膜33に達するスルーホール44を形成し、PSG膜36にエミッタ引き出し層となるN型ポリシリコン膜35に達するスルーホール45を形成する。次にCVD法でタングステン成長させてトレ  
ンチ25およびスルーホール44、45を充填した後、  
エッチバックによりトレンチ25内にコレクタ引き出し  
導電体27すなわちコレクタ電極を形成し、スルーホール  
44内にベース電極46を形成し、スルーホール45  
内にエミッタ電極47を形成し、これらタングステンの  
各電極にそれぞれ金属配線層48を接続する。またこの  
タングステンに代わりに高不純物濃度のN型のポリシリ  
コンを用いてよい。

【0024】図3は図1および図2の実施例の一部を変  
更したものであり、図3において図1および図2と同一  
もしくは類似の箇所は同じ符号で示してあるから、重複  
する説明は省略する。

【0025】出力トランジスタなど大電流を駆動するエ  
ミッタ面積の大きなバイポーラトランジスタでは、当然  
コレクタ部にも大面積を必要とする。しかしコレクタ引  
き出し用のトレンチを大面積にすると、CVDタングス  
テンの膜厚を極端に厚くしなければならずCVDタング  
ステンを埋め込むことが困難となる。

【0026】したがって図3の構造では一つの大面積の  
コレクタ部に対して複数のトレンチ25'を形成し、複  
数のトレンチ25'内のタングステンから成るコレクタ  
引き出し導電体27を金属配線層47により共通接続す  
る。

【0027】

【発明の効果】以上説明した様に本発明は、エミッタ領  
域の周辺より離間したエミッタ領域の部分を貫通しかつ  
その下の真性ベースおよびコレクタ領域の部分を貫通し  
てコレクタ埋込領域に達するトレンチを形成し、ここに  
コレクタ埋込領域に接続するコレクタ引き出し導電体を  
充填させたから、トランジスタの占有面積が大幅に減少  
し高集積度のバイポーラICが得られる。また、エミッ  
タ領域の面積も減少するからエミッターベース間の寄生  
容量も72%減少しそれだけ高速動作が可能となる。

【図面の簡単な説明】

【図1】本発明の一実施例のバイポーラトランジスタを

示す図であり、(A)は平面図、(B)は(A)を切断  
線B-B'で切断し矢印の方向を視た断面図、(C)は  
切断線B-B'に沿ったエミッタ領域におけるエミッタ  
電流の分布を示す図である。

【図2】本発明の一実施例のバイポーラトランジスタを  
製造工程順に示した断面図である。

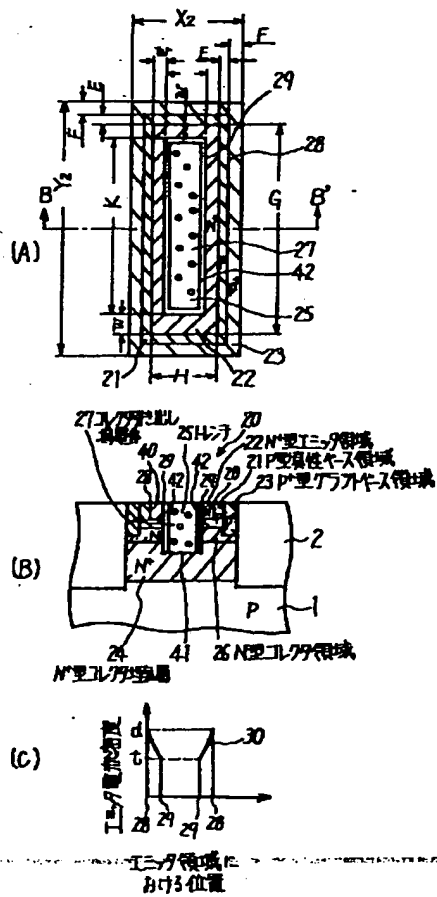
【図3】本発明の一実施例の一部を変更したバイポーラ  
トランジスタを示す断面図である。

【図4】従来技術のバイポーラトランジスタを示す図で  
あり、(A)は平面図、(B)は(A)を切断線A-A'  
で切断し矢印の方向を視た断面図、(C)は切断線  
A-A'に沿ったエミッタ領域におけるエミッタ電流の  
分布を示す図である。

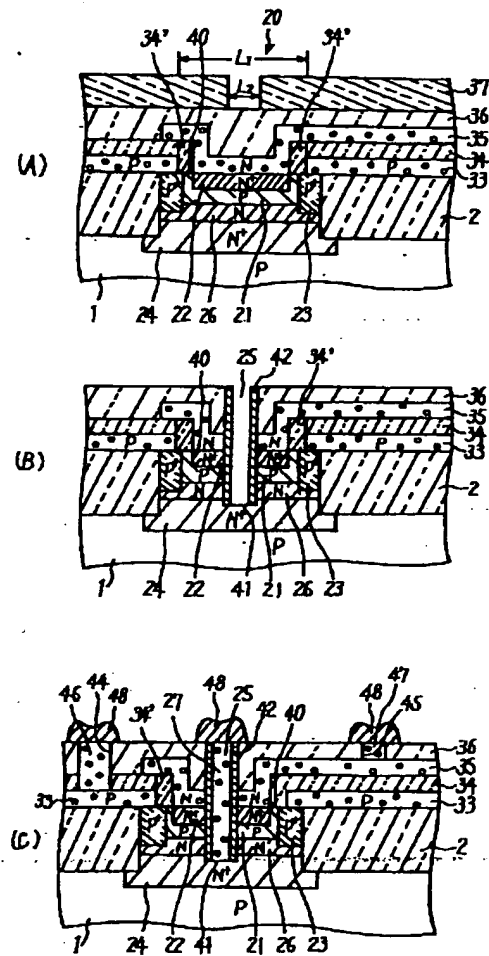
【符号の説明】

- |             |                            |
|-------------|----------------------------|
| 1           | P型シリコン基体                   |
| 2           | フィールド酸化膜                   |
| 10, 20      | トランジスタ形成領域                 |
| 11, 21      | P型真性ベース領域                  |
| 12, 22      | N <sup>+</sup> 型エミッタ領域     |
| 13, 23      | P <sup>+</sup> 型グラフトベース領域  |
| 14, 24      | N <sup>+</sup> 型コレクタ埋込層    |
| 15, 25, 25' | トレンチ                       |
| 16, 26      | N型コレクタ領域                   |
| 17, 27      | コレクタ引き出し導電体                |
| 18          | エミッタ領域12の周辺部               |
| 19          | エミッタ領域12の中央部               |
| 28          | エミッタ領域22の外周辺部              |
| 29          | エミッタ領域22の内周辺部              |
| 30          | エミッタ電流密度分布曲線               |
| 31, 41      | コンタクト部                     |
| 32, 42      | 絶縁膜                        |
| 33          | ベース引き出し層としてのP型ポリシリコン膜      |
| 34          | シリコン酸化膜                    |
| 34'         | 側壁(サイドウォール)34'             |
| 35          | エミッタ引き出し層としてのN型ポリシリ<br>コン膜 |
| 36          | PSG膜                       |
| 37          | レジスト                       |
| 40          | 半導体基板の主面                   |
| 44, 45      | スルーホール                     |
| 46          | ベース電極                      |
| 47          | エミッタ電極                     |
| 48          | 金属配線層                      |

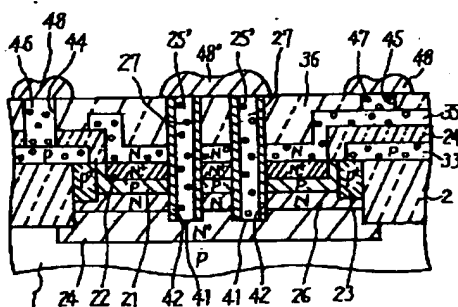
【図1】



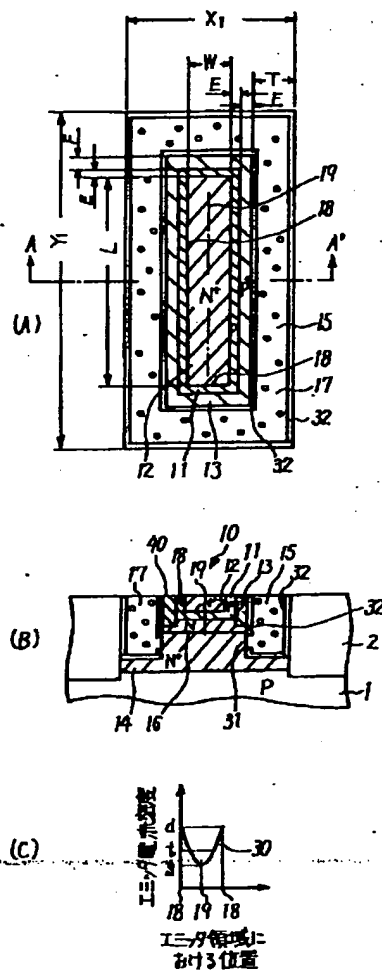
【図2】



【図3】



【図4】



CLIPPEDIMAGE= JP405343415A  
PAT-NO: JP405343415A  
DOCUMENT-IDENTIFIER: JP 05343415 A  
TITLE: BIPOLAR TRANSISTOR

PUBN-DATE: December 24, 1993

INVENTOR-INFORMATION:  
NAME  
MATSUMOTO, NAOYA

ASSIGNEE-INFORMATION:  
NAME  
NEC CORP

COUNTRY  
N/A

APPL-NO: JP05012982  
APPL-DATE: January 29, 1993

INT-CL (IPC): H01L021/331; H01L029/73  
US-CL-CURRENT: 257/514, 257/515, 257/586

ABSTRACT:

PURPOSE: To enhance the degree of integration by forming a trench which reaches a collector embedded region and filling up a collector lead out conductor to be connected to the collector embedded region herein.

CONSTITUTION: An emitter region 22 is ring-shaped and envelops a trench 25 at a width of  $0.3\mu\text{m}$ . The outer peripheral part 28 is opposed to a P<SP>+</SP> graft base region 23 by way of an intrinsic base region 21 while an inner peripheral part 29 faces the trench 25 and partially forms a side wall of the trench 25. Furthermore, the whole side walls of the trench 25 are covered with an insulation film 42, which is filled up in the trench 25, thereby electrically insulating the trench from the intrinsic base region 21 and the emitter region 22. There is formed a collector lead out conductor 27 connected to a collector embedded region 24 by a contact 41 at the bottom of the trench 25. This construction makes it possible to provide a high degree of integration of bipolar IC.